

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317490

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H01L 25/00
H01L 23/12

(21)Application number : 10-294915

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.10.1998

(72)Inventor : TOZAKI HIROMI
TAKENAKA TAKATSUGU
TAKAHASHI KAZUTOSHI
SENGOKU NORIO
NEZU TOSHITADA
MIMA HISATOMO

(30)Priority

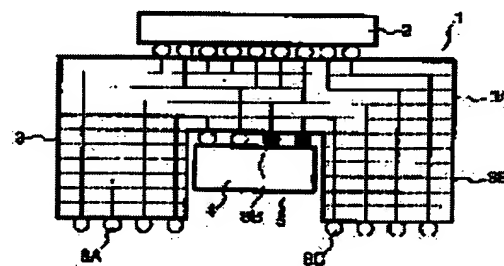
Priority number : 09299478 Priority date : 16.10.1997 Priority country : JP

(54) SEMICONDUCTOR ELEMENT MOUNTING SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a capacitor element in a region for mounting of a large-scale integrated circuit semiconductor element for realizing high integration, miniaturization, reduced noise and high-speed operation of the a multilayer wiring circuit board.

SOLUTION: A semiconductor element 2 is connected to a wiring substrate 3 of a multilayer structure, made of a material having a low dielectric constant. The wiring substrate 3 is provided therein with a recess 5 for mounting of a capacitor element 4 therein. Multilayer wiring within the substrate 3 is arranged, so that terminals of the substrate 3 to be connected to a circuit board are divided into a group of terminals 8A to be wired to signal wiring lines within the substrate 3, a group of terminals 8B to be wired to drive power wiring lines, and a group of terminals 8C to be wired to wiring lines between the capacitor element 4 and circuit board. The terminal group 8B is disposed at the bottom of the recess 5. The capacitor element 4 is disposed in the recess 5 connected to the terminal group 8B. As a result, a semiconductor element mounting substrate 1 is constituted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-317490

(43) 公開日 平成11年(1999)11月16日

(51) Int. Cl.⁶
H01L 25/00
23/12

識別記号

F I
H01L 25/00
23/12

B
B

審査請求 未請求 請求項の数 7 O L (全11頁)

(21) 出願番号 特願平10-294915

(22) 出願日 平成10年(1998)10月16日

(31) 優先権主張番号 特願平9-299478

(32) 優先日 平 9 (1997)10月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 戸▲崎▼ 博巳

神奈川県秦野市堀山下 1 番地 株式会社日

立製作所汎用コンピュータ事業部内

(72) 発明者 竹中 隆次

神奈川県秦野市堀山下 1 番地 株式会社日

立製作所汎用コンピュータ事業部内

(72) 発明者 高橋 一敏

神奈川県秦野市堀山下 1 番地 株式会社日

立製作所汎用コンピュータ事業部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

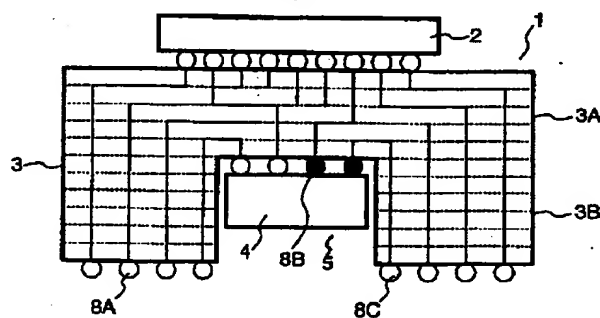
(54) 【発明の名称】 半導体素子搭載基板

(57) 【要約】

【課題】 コンデンサ素子を大規模集積回路半導体素子の搭載領域内に配設して多層配線回路板の高集積化、小形化、低ノイズ化、並びに高速化をはかる。

【解決手段】 半導体素子 2 は多層構成の低誘電率材からなる配線基板 3 に接続される。配線基板 3 には、コンデンサ素子 4 を配設するための窪み 5 が形成される。配線基板 3 では、回路板と接続される側の端子が、配線基板 3 内の信号配線に結線される端子群 8 A と、駆動用電源配線に結線される端子群 8 B と、コンデンサ素子 4 と回路板間の配線に結線される端子群 8 C に分けられるよう、配線基板 3 内の多層配線が構成される。端子群 8 B は、窪み 5 の底面に配設される。この窪み 5 にコンデンサ素子 4 が配置され接続される。これにより、半導体素子搭載基板 1 が構成される。

図 3



【特許請求の範囲】

【請求項 1】半導体素子と、該半導体素子を搭載しかつ該半導体素子の駆動用電源配線にコンデンサ素子を接続する配線基板からなる半導体素子搭載基板であって、該配線基板はコンデンサ素子を配設するための空間を有し、該空間の面に該配線基板の半導体素子の駆動用電源配線の端子を設け、該空間にコンデンサ素子を配設し、該端子に該コンデンサ素子を接続する構成とすることを特徴とする半導体素子搭載基板。

【請求項 2】請求項 1 記載の半導体素子搭載基板において、前記空間の面に前記コンデンサ素子の他端を接続する第 2 の端子を設け、

該半導体素子搭載基板を接続する回路板側の該半導体素子搭載基板の配線基板の端子を、該配線基板の前記第 2 の端子からの配線に結線する端子群と該配線基板の半導体素子の信号用配線に結線する端子群とに分けて配設する構成とすることを特徴とする半導体素子搭載基板。

【請求項 3】請求項 1 記載の半導体素子搭載基板において、

該半導体素子搭載基板を接続する回路板側の該半導体素子搭載基板の配線基板の端子を、前記コンデンサ素子の他端に結線する端子群と該配線基板の半導体素子の信号用配線に結線する端子群とに分けて配設する構成とすることを特徴とする半導体素子搭載基板。

【請求項 4】半導体素子の端子が半導体素子の駆動用電源配線の端子群と信号用配線の端子群とに分けて配置された半導体素子の信号用配線の端子群をコンデンサ素子を配設するための空間を設けた配線基板に接続し、該空間にコンデンサ素子を配設し、かつ該コンデンサ素子の一方の端子を半導体素子の駆動用電源の端子群に接続し、前記信号用配線の端子群を配線の形成された前記配線基板に接続する構成とすることを特徴とする半導体素子搭載基板。

【請求項 5】半導体素子の端子が半導体素子の駆動用電源配線の端子群と信号用配線の端子群とに分けて配設された半導体素子の信号用配線の端子群をコンデンサ素子を配設するための窪みを設けた配線基板に接続し、該窪みにコンデンサ素子を配設し、かつ該コンデンサ素子の一方の端子を半導体素子の駆動用電源の端子群に接続し、該コンデンサ素子の他の一方の端子を窪みに設けたコンデンサ素子用の端子に接続し、前記信号用配線の端子群を配線の形成された前記配線基板に接続する構成とすることを特徴とする半導体素子搭載基板。

【請求項 6】半導体素子が搭載される配線基板であって、前記配線基板の半導体素子搭載面または前記半導体素子搭載面に対向する面に形成された窪みと、前記窪みの底面に配置され、前記配線基板内の駆動用電源配線に接続された端子とを有し、コンデンサ素子が前記窪みに配設され、前記端子に接続されることを特徴とする配線

基板。

【請求項 7】半導体素子と、該半導体素子を搭載する配線基板と、該配線基板を搭載する回路板とを含む電子機器において、

前記配線基板の半導体素子搭載面または前記半導体素子搭載面に対向する面に形成された窪みと、前記窪みの底面に配置され、前記配線基板内の駆動用電源配線に接続された端子と、前記窪みに配設され、前記端子に接続されたコンデンサ素子とを有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子と、半導体素子を搭載し、かつコンデンサ素子を具備する基板からなる半導体素子搭載基板に関するものである。

【0002】

【従来の技術】CMOS回路における大規模集積回路半導体素子(LSI)では、多数の回路が同時にオン・オフするため、素子としての電流変動が大きくなり、また更に信号伝播の高速化により過渡的な電源電圧の変動が増加し、回路の動作マージンを大きく減少させている。

【0003】近年の回路集積度の増大と回路の信号伝播の高速化の大幅な進展にともない、回路動作におけるノイズマージンが少なくなり、誤動作を生じ易いレベルになってきている。

【0004】このため、LSIの近傍に、数百nFから数十μF程度の容量を有するコンデンサ素子を配設し、コンデンサ素子をLSI駆動用の電源配線に接続することにより、前記ノイズを吸収させて誤動作を防止することが行われている。

【0005】そして、例えば、大形電子計算機の中央演算回路基板や、その他の電子装置用回路板等では、数十個のLSIチップ或いはLSIチップを搭載した数十個のパッケージ基板を多層配線回路板上に配設し、各LSIチップの駆動用電源配線にコンデンサ素子を接続するよう、LSIチップ或いはLSIチップを搭載したパッケージ基板の搭載領域外に配線を引き出し、多数のコンデンサ素子とLSIチップとを多層配線回路板上に搭載し、LSIチップの駆動用電源配線にコンデンサ素子を接続していた。

【0006】図8に、従来の多数のLSIチップを搭載したパッケージ基板とコンデンサ素子とを搭載した多層配線回路板の例を示す。

【0007】多層配線構造のセラミック基板或いはプリント基板等の回路板9の表面には、LSIチップ2とこれを搭載した配線基板3から成る多数のLSIチップ搭載基板10、及びそのLSIチップ搭載基板10の搭載領域の周辺に多数のコンデンサ素子4が搭載、接続される。

【0008】そして、回路板9の裏面には、更に複数の

回路板 9 を搭載する大形の回路板 (図示せず) に接続するための入出力ピン 1 1 が設けられる。

【0009】半導体素子の駆動用電源は、大形の回路板 (図示せず) から入出力ピン 1 1 及び回路板 9 の内部の配線 (図示せず) を経てコンデンサ素子 4 に至り、更にコンデンサ素子 4 から回路板 9 の内部の配線を経て L S I チップ 2 の電源駆動用端子に至る。

【0010】図 9 に従来の L S I チップ搭載基板 (パッケージ基板) 1 0 の例を示す。

【0011】L S I チップ搭載基板は、L S I チップ 2 とこれを接続する配線基板 3 から成り、配線基板の表面に L S I チップが搭載、接続される。

【0012】配線基板 3 は、L S I チップのキャリアとして取り扱いを容易にし、また、L S I チップの電気的検査の利便性を確保するためのものである。

【0013】なお、ここでは図示しないが、配線基板 3 の表面周囲の余白部に L S I チップを気密封止するためのキャップを配設する場合もある。

【0014】

【発明が解決しようとする課題】このように多数のコンデンサ素子が L S I チップの搭載領域外に配設される多層配線回路板では、回路板の高集積化並びに回路板の小形化に限界がある。

【0015】また、数百メガヘルツを超える高周波帯の回路板であって、10mm角以上の大型の L S I チップを搭載するような回路板では、コンデンサ素子の接続用端子までの配線距離がインダクタ成分として大きく影響するようになり、コンデンサ素子を接続したことによるノイズ吸収効果が得られなくなるという欠点があった。

【0016】一方、半導体素子から発生する高周波信号について、信号を高速で伝播させるためには、信号配線は低誘電率材からなる配線基板内に形成し、そのような低誘電率材中で信号を伝送することが必要である。

【0017】しかし、従来の L S I チップ搭載基板及び多層配線回路板では、上記した欠点や課題を同時に満たすことに関する考慮がなく、L S I チップ搭載基板とコンデンサ素子とが配設された回路板が、必ずしも高周波用回路板として満足できるものではなかった。

【0018】従って、本発明の目的は、コンデンサ素子を大規模集積回路半導体素子の搭載領域内に配設するようにし、多層配線回路板の高集積化並びに小形化を可能とする半導体素子搭載基板を提供することである。

【0019】本発明の他の目的は、コンデンサ素子の接続によるノイズ吸収効果を高めることが可能な半導体素子搭載基板を提供することである。

【0020】更に、本発明の他の目的は、半導体素子の高周波信号を高速で伝播させることが可能な半導体素子搭載基板を提供することである。

【0021】更に、本発明の他の目的は、半導体素子搭載基板が搭載される回路板が、高周波用回路板として満

足できるものにするのである。

【0022】

【課題を解決するための手段】上記目的を達成するため、本発明では、半導体素子と、該半導体素子を搭載し、かつ該半導体素子の駆動用電源配線にコンデンサ素子を接続する配線基板からなる半導体素子搭載基板であり、該配線基板はコンデンサ素子を配設するための空間を有し、該空間の面に該配線基板の半導体素子の駆動用電源配線の端子を設け、該空間にコンデンサ素子を配設し、該端子に該コンデンサ素子を接続する構成としている。

【0023】また、前記空間の面に前記コンデンサ素子の他端を接続する第 2 の端子を設け、該半導体素子搭載基板を接続する回路板側の該半導体素子搭載基板の配線基板の端子を、該配線基板の前記第 2 の端子からの配線に結線する端子群と該配線基板の半導体素子の信号用配線に結線する端子群とに分けて配設する構成としている。

【0024】また、該半導体素子搭載基板を接続する回路板側の該半導体素子搭載基板の配線基板の端子を、前記コンデンサ素子の他端に結線する端子群と該配線基板の半導体素子の信号用配線に結線する端子群とに分けて配設する構成としている。

【0025】また、半導体素子の端子が半導体素子の駆動用電源配線の端子群と信号用配線の端子群とに分けて配置された半導体素子の信号用配線の端子群をコンデンサ素子を配設するための空間を設けた配線基板に接続し、該空間にコンデンサ素子を配設し、かつ該コンデンサ素子の一方の端子を半導体素子の駆動用電源の端子群に接続し、前記信号用配線の端子群を配線の形成された前記配線基板に接続する構成としている。

【0026】また、半導体素子の端子が半導体素子の駆動用電源配線の端子群と信号用配線の端子群とに分けて配設された半導体素子の信号用配線の端子群をコンデンサ素子を配設するための窪みを設けた配線基板に接続し、該窪みにコンデンサ素子を配設し、かつ該コンデンサ素子の一方の端子を半導体素子の駆動用電源の端子群に接続し、該コンデンサ素子の他の一方の端子を窪みに設けたコンデンサ素子用の端子に接続し、前記信号用配線の端子群を配線の形成された前記配線基板に接続する構成としている。

【0027】これにより、(1) コンデンサ素子を半導体素子の搭載領域の外部に配設する多層配線の回路板で問題であった回路板の高集積化並びに回路板の小形化の限界、(2) 数百メガヘルツを超える高周波帯の回路板であって、10mm角以上の大型の大規模集積回路半導体素子を搭載するような回路板では、コンデンサ素子の接続用端子までの配線距離がインダクタ成分として大きく影響するようになり、コンデンサ素子の接続によるノイズ吸収効果が得られなくなるという欠点、更に、

(3) 半導体素子の高周波信号について、信号を高速で

伝播させるためには、信号配線は低誘電率材からなる配線基板内に形成し、そのような低誘電率材中で信号を伝送することが必要であるという課題を解決し、回路動作におけるノイズマージンを確保できる。

【0028】

【発明の実施の形態】以下、本発明の一実施形態について図面を用いて説明する。

【0029】〈実施形態1〉図1に、本発明の半導体素子搭載基板1の一実施形態の断面を示す。

【0030】実施形態1において、半導体素子搭載基板1は、半導体素子2と配線基板3と第2の配線基板6とコンデンサ素子4から構成される。

【0031】半導体素子2は、多層構成の低誘電率材からなる配線基板3に接続される。

【0032】ここで半導体素子2は、LSIチップ、ICチップ等を含む。

【0033】この配線基板3には、コンデンサ素子4と、コンデンサ素子を配設するための空間5が形成された低誘電率材からなる第2の配線基板6が接続される。

【0034】また、半導体素子搭載基板1は、図8に示したのと同様に、図示しない回路板に搭載、接続され、電子装置用回路板を構成する。このような電子装置用回路板は、電子計算機や各種電子機器に適用され、その構成部材の一部となる。

【0035】半導体素子2が接続される配線基板3では、配線基板3のうち第2の配線基板6が接続される側の端子が、配線基板3内の信号配線に結線される端子群7Aと、駆動用電源配線に結線される端子群7Bと、コンデンサ素子4と第2の配線基板6間の配線に結線される端子群7Cに分けられるよう、配線基板3内の多層配線が構成される。端子群7Aと、端子群7Cの一部には第2の配線基板6が接続され、また、端子群7Bと、端子群7Cの他の一部にはコンデンサ素子4が接続される。

【0036】また、第2の配線基板6の表裏面には、配線基板3の端子群7A及び端子群7Cに接続される端子と、これらの端子と配線基板6内の配線で接続され、回路板に接続される端子とが形成される。

【0037】尚、コンデンサ素子4は、例えば、図1の黒く塗りつぶした端子間を接続し、コンデンサとして作用する。

【0038】ここで、配線基板3は以下により形成される。

【0039】まず、配線および端子材料としてタングステン或いはモリブデン等の高融点金属を用い、また低誘電率セラミック材料としてムライトを用いる場合と、或いは、配線及び端子材料として銅或いは金、銀等の低抵抗金属を用い、また低誘電率セラミック材料として、ほうけい酸を含有するガラスとムライト粉末等との混合物を用いる場合とがある。

【0040】低誘電率のセラミック材料については、例えば従来からセラミック多層配線基板の製造方法として公知の方法により、セラミック粉末に有機高分子材、可塑性並びに溶剤を混合して泥状物とし、成形機でセラミックグリーンシートに成形する。

【0041】また、配線材料としての金属材料については、例えば厚膜ペーストの製造方法として公知の方法により、有機高分子材を溶剤に溶解した粘性液に混練・分散し、スクリーン印刷に適した金属ペーストとする。

【0042】セラミックグリーンシートには、形成する回路パターンの要求に応じてパンチング或いはレーザにより貫通孔が形成され、貫通孔への金属ペーストの充填（ビアの形成）とシート面への配線膜或いは端子膜の形成が、金属ペーストの印刷により行われる。このとき、最上層となるセラミックグリーンシートには半導体素子を接続するための端子膜が形成され、最下層となるセラミックグリーンシートには端子群7A、端子群7B及び端子群7Cとなる端子膜が形成される。

【0043】そして、これらのセラミックグリーンシートが積層され、焼結されて配線基板3が形成される。

【0044】また、空間5が形成された第2の配線基板6が以下により形成される。

【0045】即ち、配線基板3と同様に、金属膜パターンが形成されたセラミックグリーンシートの積層体が作製され、その焼結前または焼結後に、コンデンサ素子を配設するための空間がレーザ加工、或いは研削砥石を用いた研削加工等で切除されることにより第2の配線基板6が形成される。

【0046】或いは、金属膜パターンが形成され、空間となる部分が予め切除されたセラミックグリーンシートが積層され、焼結されることによっても第2の配線基板6が形成される。

【0047】尚、実施形態1では、第2の配線基板6の厚さは、コンデンサ素子4の搭載高さより厚い構成としてある。

【0048】また、実施形態1では、図1の示されるように第2の配線基板6内の配線は、セラミックグリーンシートに形成された貫通孔に充填された金属柱（ビア）のみが多層にわたって接続された構成としているが、配線基板3内の配線並びに回路板の端子の配置によって、図1に示す配線基板3と同様な多層配線を形成することも可能である。

【0049】次に、半導体素子搭載基板1の組立て例について説明する。

【0050】半導体素子搭載基板1は、半導体素子2、配線基板3、第2の配線基板6およびコンデンサ素子4が3階層構成で接続される。そして、半導体素子搭載基板1は、最終的に図示しない回路板に搭載、接続される。そこで、各階層の組立てにおいては、融点の異なるはんた材料を用いることが重要となる。

【0051】まず、配線基板3の端子群7A、7B、7Cに、はんだを供給し、コンデンサ素子4を搭載し、次いで、コンデンサ素子4のための空間5が形成された第2の配線基板6を搭載し、これらを加熱して配線基板3とコンデンサ素子4及び第2の配線基板6とを接続する。

【0052】続いて、配線基板3の半導体素子2側の端子群にはんだを供給し、半導体素子を搭載して加熱し、配線基板3の表面に半導体素子2を接続する。

【0053】更に、図示しない回路板の端子にはんだを供給し、半導体素子搭載基板1を搭載して加熱し、回路板に半導体素子搭載基板1を接続する。

【0054】このようにして作製した装置では、半導体素子の駆動用電源は、回路板から第2の配線基板6、配線基板3を通してコンデンサ素子4を経由し、更に配線基板3の数mmの配線経路を通して半導体素子2に至る。

【0055】また、半導体素子2から発生する高周波信号は、配線基板3及び第2の配線基板6を経て回路板に至る。

【0056】このように、コンデンサ素子が半導体素子搭載基板1の内部に配設されるため、従来の回路板のようにコンデンサ素子を搭載する領域を搭載基板の搭載領域外部に設ける必要が無く、回路板の高集積化並びに小形化が可能となる。

【0057】また、コンデンサ素子を接続するための配線は配線基板3内に形成され、従来のように配線を搭載基板の搭載領域外に引き出す必要がないため、配線距離を短くすることができ、よって、配線距離がインダクタ成分として影響するようなことがなくなり、コンデンサ素子によるノイズ吸収効果が十分に得られる。

【0058】また、半導体素子2から発生する高周波信号は、低誘電率材からなる配線基板3及び第2の配線基板6内部の信号配線で伝送されるため、高速で伝播させることができる。

【0059】これにより、回路動作におけるノイズマージンを確保できる。

【0060】〈実施形態2〉図2に、本発明の半導体素子搭載基板1の他の実施形態の断面を示す。

【0061】実施形態2の半導体素子搭載基板1は、図2に示すように、実施形態1の半導体素子搭載基板1と同様に構成される。

【0062】実施形態2における配線基板3では、配線基板3のうち第2の配線基板6が接続される側の端子が、配線基板3内の信号配線に結線される端子群7Aと、駆動用電源配線に結線される端子群7Bとに分けられるよう、配線基板3内の多層配線が構成される。

【0063】信号配線に結線される端子群7Aには第2の配線基板6が接続され、駆動用電源に結線される端子群7Bにはコンデンサ素子4が接続される。

【0064】第2の配線基板6及びコンデンサ素子4のうち回路板に接続される側には、それぞれ端子8A、端子8Cが配設される。

【0065】実施形態2の配線基板3並びに第2の配線基板6は、それぞれ実施形態1と同様に形成されるが、配線基板3並びに第2の配線基板6に配設される端子は、上記したように実施形態1と異なる。

【0066】すなわち、配線基板3の裏面側の端子は、端子群7Aと端子群7Bに分けられて配設され、第2の配線基板6の配線基板3側には端子群7Aに接続する端子群のみが配設される。

【0067】また、コンデンサ素子4の相対する2面(表裏面)には、それぞれ端子が配設され、一方の面の端子は配線基板3に接続される。

【0068】更に、実施形態2では、第2の配線基板6の厚さがコンデンサ素子4の搭載高さとおよそ同じになっており、半導体素子搭載基板1が図示しない回路板に搭載される際、第2の配線基板6の端子8Aが回路板に接続されると共に、コンデンサ素子4の端子8Cも回路板に接続される。コンデンサ素子4は、例えば、図2の黒く塗りつぶした端子間を接続してコンデンサとして作用する。

【0069】尚、実施形態2における半導体素子搭載基板1の組立ては、実施形態1と同様に行われる。

【0070】実施形態2においては、半導体素子の駆動用電源は、図示しない回路板から直接コンデンサ素子を経て配線基板3の数mmの配線経路を通り、半導体素子2に至る。

【0071】また半導体素子2から発生する高周波信号は、配線基板3並びに第2の配線基板6を経て回路板に至る。

【0072】〈実施形態3〉図3に、本発明の半導体素子搭載基板1の他の実施形態の断面を示す。

【0073】実施形態3の半導体素子搭載基板1において、半導体素子2が多層構成の低誘電率材からなる配線基板3に接続される。

【0074】配線基板3には、コンデンサ素子4を配設するための窪み(凹部)5が形成される。この窪み5にコンデンサ素子4が配置され接続される。

【0075】そして、半導体素子搭載基板1は、図示しない回路板に搭載、接続され、電子装置用回路板を構成する。このような電子装置用回路板は、電子計算機や各種電子機器に適用され、その構成部材の一部となる。

【0076】実施形態3の配線基板3では、配線基板3のうちの回路板と接続される側の端子が、配線基板3内の信号配線に結線される端子群8Aと、駆動用電源配線に結線される端子群8Bと、コンデンサ素子4と回路板間の配線に結線される端子群8Cに分けられるよう、配線基板3内の多層配線が構成される。端子群8Bは、窪み5内の底(露出)面(コンデンサ素子4との接続面)

に配設される。

【0077】端子群8Bと端子群8Cの一部にはコンデンサ素子4が接続され、端子群8A及び端子群8Cの他の一部は回路板（図示せず）に接続される。コンデンサ素子4は、例えば、図3の黒く塗りつぶした端子間を接続してコンデンサとして作用する。

【0078】コンデンサ素子4を配設するための窪み5が形成された配線基板3は、以下により形成される。

【0079】まず、配線および端子材料としてタングステン或いはモリブデン等の高融点金属を用い、また低誘電率セラミック材料としてムライトを用いる場合と、或いは配線及び端子材料として銅或いは金、銀等の低抵抗金属を用い、また低誘電率セラミック材料として、ほうけい酸を含有するガラスとムライト粉末等との混合物を用いる場合とがある。

【0080】低誘電率のセラミック材料については、例えば従来からセラミック多層配線基板の製造方法として公知の方法により、セラミック粉末に有機高分子材、可塑材並びに溶剤を混合して泥状物とし、成形機でセラミックグリーンシートに成形する。

【0081】また、配線材料としての金属材料については、例えば厚膜ペーストの製造方法として公知の方法により、有機高分子材を溶剤に溶解した粘性液に混練・分散し、スクリーン印刷に適したペーストとする。

【0082】セラミックグリーンシートには、形成する回路パターンの要求に応じてパンチング或いはレーザにより貫通孔が形成され、貫通孔への金属ペーストの充填（ビアの形成）とシート面への配線膜或いは端子膜の形成が、金属ペーストの印刷により行われる。このとき、窪み5内に露出する層のセラミックグリーンシートには端子群8Bと端子群8Cの一部となる端子膜が形成され、回路板に接続される層のセラミックグリーンシートには端子群8Aと端子群8Cとなる端子膜が形成される。

【0083】そして、半導体素子2が搭載される層からコンデンサ素子4が接続される層までの多層構成部3Aについては、用意したセラミックグリーンシートがそのまま積層される。また、回路板に接続される側のコンデンサ素子4を配設するための窪み5を備える多層構成部3Bでは、窪みにあたる部分が予め切除されたセラミックグリーンシートが積層される。多層構成部3Aと多層構成部3Bとが積層され、焼結されて配線基板3が形成される。

【0084】尚、実施形態3では、配線基板3の窪み5の深さは、コンデンサ素子4の搭載高さよりも深い構成としてある。

【0085】次に、実施形態3における半導体素子搭載基板1の組立て例について説明する。

【0086】配線基板3の窪み5が上向きになるように配線基板3を置き、窪み5の底面の端子群に例えばデス

ペンサ方式ではんだを供給し、或いはコンデンサ素子4の端子にはんだを供給し、コンデンサ素子4を窪み5内に配置して加熱し、コンデンサ素子4を配線基板3に接続する。

【0087】次いで、配線基板3の半導体素子接続用の端子にはんだを供給し、半導体素子2を搭載、接続する。

【0088】更に、図示しない回路板の端子にはんだを供給し、半導体素子搭載基板1を搭載して加熱し、回路板に接続する。

【0089】このようにして作製した装置では、半導体素子の駆動用電源は、回路板から配線基板3及びコンデンサ素子4を経由し、更に配線基板3の数mmの配線を通して半導体素子2に至る。また、半導体素子2から発生する高周波信号は、配線基板3を経て回路板に至る。

【0090】〈実施形態4〉図4に、本発明の半導体素子搭載基板1の他の実施形態の断面を示す。

【0091】実施形態4の半導体素子搭載基板1は、図4に示すように、実施形態3の半導体素子搭載基板1と同様に構成される。

【0092】実施形態4における配線基板3では、配線基板3のうちの図示しない回路板と接続される側の端子が、配線基板内の信号配線に結線される端子群8Aと、駆動用電源配線に結線される端子群8Bとに分けられるよう、配線基板3内の多層配線が構成される。端子群8Bは、窪み5内の露出面に配設される。端子群8Bにはコンデンサ素子4が接続される。

【0093】実施形態4の配線基板3は、実施形態3と同様にして形成されるが、上記のように配設される端子は実施形態3と異なる。

【0094】また、実施形態4では、コンデンサ素子4の相対する2面（表裏面）にそれぞれ端子が配設され、一方の面の端子は配線基板3に接続される。

【0095】また、実施形態4では、配線基板3の窪み5の深さがコンデンサ素子4の搭載高さとおおよそ同一であり、半導体素子搭載基板1が図示しない回路板に搭載される際、配線基板3の端子群8Aが回路板に接続されると共に、コンデンサ素子4に配設された端子群8Cも回路板に接続される。コンデンサ素子4は、例えば、図4の黒く塗りつぶした端子間を接続してコンデンサとして作用する。

【0096】尚、実施形態4における半導体素子搭載基板1の組立ては、実施形態3と同様に行われる。

【0097】実施形態4においては、半導体素子の駆動用電源は、図示しない回路板から直接コンデンサ素子を経て配線基板3の数mmの配線経路を通り、半導体素子2に至る。

【0098】また、半導体素子から発生する高周波信号は、配線基板3を経て回路板に至る。

【0099】〈実施形態5〉図5に、本発明の半導体素

10

20

30

40

50

子搭載基板1の他の実施形態の断面を示す。

【0100】実施形態5の半導体素子搭載基板1は、図5に示すように、実施形態3の半導体素子搭載基板1と同様に構成される。

【0101】また、実施形態5の配線基板3も、実施形態3における配線基板3と同様に多層配線が構成され、端子群8が配設される。

【0102】但し、窪み5内に露出する層のコンデンサ素子4との接続面には、端子群は配設されず、代わりに配線基板3内の通常のビア径よりも大きい径のビア12がその層に形成され、底面(接続面)に露出している。そして、これらの大径のビア12に直接コンデンサ素子4が接続される。

【0103】このような配線基板3の形成について以下に説明する。但し、本実施形態の配線基板3は、実施形態3における配線基板3、特にその多層構成部3Aとほぼ同様に形成されるため、同様の部分は説明を省略し、主に実施形態3と異なる点について説明する。

【0104】まず、実施形態3と同様にセラミックグリーンシートと金属ペーストが用意され、シートへのビアの形成及び配線膜或いは端子膜の形成が行われる。このとき、コンデンサ素子4が接続される層に当たるセラミックグリーンシートには、配線膜或いは端子膜は形成されず、他の層のセラミックグリーンシートにおけるビア径よりもおよそ1.5〜3倍程度大きな径のビアが形成される。

【0105】そして、これらのセラミックグリーンシートが積層され、焼結されて配線基板が形成される。

【0106】続いて、配線基板に窪み5が形成される。

【0107】窪み5の形成については、例えば、実施形態3では、予めコンデンサ素子4を配設するための空間となる部分が切除されたセラミックグリーンシートが積層・焼結されて窪み5が形成されている。これに対して、実施形態5では、ビア及び配線膜或いは端子膜が形成されたセラミックグリーンシートが積層され、焼結されて窪みのない配線基板が形成された後、コンデンサ素子4が配設されるべき部分の配線基板の表面層からコンデンサ素子4が接続される層までがレーザ加工、或いは研削砥石を用いた研削加工等で切除され、窪み5が形成される。このとき、窪み5の底にはコンデンサ素子4との接続面となる層が露出する。

【0108】このような窪み5の形成の仕方の違いにより、配線基板3におけるコンデンサ素子4が接続される層の構成が実施形態5と実施形態3とは異なる。

【0109】即ち、実施形態3のように窪み5が形成される場合には、コンデンサ素子4が接続される層のセラミックグリーンシート表面に、予め素子接続用の端子膜を形成しておくことが可能である。しかし、実施形態5の如く、配線基板形成後に窪みとなる部分が切除されて窪み5が形成される場合、コンデンサ素子4が接続され

る層のセラミックグリーンシート表面も研削加工等により削られてしまうことがあるため、素子接続用の端子膜を形成しておくことができない。もちろん、形成した端子膜が研削されないように加工することも可能ではあるが、加工深さの厳密な制御等が要求され、制御が非常に難しくなり、コストが増大することになる。

【0110】そのため、コンデンサ素子4が接続される端子は、その層のセラミックグリーンシートに形成されたビア12そのものとなる。

【0111】ところが、基板に搭載される半導体素子の高密度化、多ピン化の進展に伴い、配線基板3のビア径も微小化する必要がある。この微小化されたビアに確実にコンデンサ素子を接続するためには、素子搭載時の位置決め等を正確に行わなければならない、搭載が難しくなり、搭載の容易性という観点で問題が有る。

【0112】また、ビア同士を接続するためにセラミックグリーンシートに形成されるパッドの径を大型化することにより端子の径を大きくすることもできるが、基板焼結時の寸法ばらつきが大きく影響すると共に、上記と同様に加工深さをそのパッドまでに厳密に制御しなければならず、制御が難しく、コストが増大する。

【0113】そこで、実施形態5では、上述した通り、コンデンサ素子4が接続される層は、配線膜や端子膜が形成されず、ビア12のみが形成される構造としてビア径を大型化することを可能としている。これにより、窪み5の形成時に加工深さの厳密な制御は必要とされず、形成が容易となる。

【0114】次に、実施形態5における半導体素子搭載基板1の組立てについては、実施形態3とほぼ同様に行われる。但し、実施形態5では、配線基板3の窪み5の底面のビア12にはんだによりコンデンサ素子4の端子が直接接続される。このとき、ビア12の径が大きいことにより、素子を容易に位置決め、搭載することができる。

【0115】(実施形態6)図6に、本発明の半導体素子搭載基板1の他の実施形態の断面を示す。

【0116】実施形態6の半導体素子搭載基板1において、半導体素子2の端子が、駆動用電源を受け入れるための端子群と信号の入出力用の端子群とに分かれて配置されている。この半導体素子2の信号用の端子群は多層構成の低誘電率材からなる配線基板3に接続される。

【0117】配線基板3には、コンデンサ素子4を配設するための空間5が形成される。コンデンサ素子4はこの空間5の中に配置され、直接半導体素子4の駆動用電源用の端子群に接続される。

【0118】半導体素子搭載基板1は、更に図示しない回路板に搭載、接続され、電子装置用回路板を構成する。このような電子装置用回路板は、電子計算機や各種電子機器に適用され、その構成部材の一部となる。。

【0119】実施形態6の配線基板3では、内部に信号

10

20

30

40

50

配線が構成され、また、回路板に接続される側には、この信号配線に結線される端子群 8 A が配設される。

【0120】この配線基板 3 としては、例えば実施形態 1 における第 2 の配線基板 6 と同様にして形成されたものを用いても良いし、或いは、低誘電率のプラスチック樹脂に銅箔或いは銅めっき膜で配線及び端子を形成したものをを用いることもできる。

【0121】また、実施形態 6 では、コンデンサ素子 4 の相対する 2 面（表裏面）にそれぞれ端子が配設され、一方の面の端子が半導体素子 2 に接続される。

【0122】更に、実施形態 6 では、配線基板 3 の厚さがコンデンサ素子 4 の搭載高さとおよそ同じであり、半導体素子搭載基板 1 が図示しない回路板に搭載される際、配線基板 3 の端子群 8 A が回路板に接続されると共に、コンデンサ素子 4 の回路板側の面に配設された端子 8 C も回路板に接続される。

【0123】次に、実施形態 6 における半導体素子搭載基板 1 の組立て例について説明する。

【0124】ここでは、図示しない組立て用の仮板を用いる。

【0125】仮板の表面には、半導体素子搭載基板 1 が最終的に搭載される回路板の搭載面上と同様に端子群が配設されている。

【0126】この仮板上の端子群にはんだを供給し、所定の位置にコンデンサ素子 4 並びに配線基板 3 を搭載し、これらを加熱して仮板にコンデンサ素子 4 と配線基板 3 を仮接続する。

【0127】次いで、はんだを配線基板 3 及びコンデンサ素子 4 の上面の端子に供給し、これらの上に半導体素子 2 を搭載し、これらを加熱してコンデンサ素子 4 及び配線基板 3 と半導体素子 2 とを接続する。

【0128】そして、再度全体を加熱し、仮板とコンデンサ素子 4 及び配線基板 3 との間のはんだを熔融して仮板を除去し、半導体素子搭載基板 1 を作製する。

【0129】実施形態 6 においては、半導体素子の駆動用電源は、図示しない回路板から直接コンデンサ素子 4 を経て半導体素子 2 に至る。

【0130】また、半導体素子 2 から発生する高周波信号は、配線基板 3 を経て回路板に至る。

【0131】〈実施形態 7〉図 7 に、本発明の半導体素子搭載基板 1 の他の実施形態の断面を示す。

【0132】実施形態 7 の半導体素子搭載基板 1 において、実施形態 6 と同様に、半導体素子 2 の端子が、駆動用電源を受け入れるための端子群と信号の入出力用の端子群とに分かれて配置されている。半導体素子 2 の信号入出力用の端子群は多層構成の低誘電率材からなる配線基板 3 に接続される。

【0133】配線基板 3 の半導体素子 2 と接続される側の面には、コンデンサ素子 4 を配設するための窪み 5 が形成される。この窪み 5 にコンデンサ素子 4 が配置され

て接続される。また、コンデンサ素子 4 は、半導体素子 2 の駆動用電源受け入れ用の端子群に直接接続される。

【0134】実施形態 7 の配線基板 3 では、配線基板 3 のうちの図示しない回路板と接続される側の端子が、配線基板内の信号配線に結線される端子群 8 A と、駆動用電源配線に結線される端子群 8 C とに分けられるよう、配線基板 3 内の多層配線が構成される。また、半導体素子 2 に接続される側の窪み 5 内の露出面には、配線基板内の駆動用電源配線に結線される端子群 7 B が配設される。端子群 7 B にはコンデンサ素子 4 が接続される。

【0135】実施形態 7 の配線基板 3 は、実施形態 3 の配線基板 3 とほぼ同様にして形成される。

【0136】即ち、実施形態 3 と同様にセラミックグリーンシートと金属ペーストが用意され、シートへのビアの形成及び配線膜或いは端子膜の形成が行われる。このとき、配線基板 3 の窪み 5 内に露出する層のセラミックグリーンシートには端子群 7 B となる端子膜が形成され、回路板に接続される層のセラミックグリーンシートには端子群 8 A と端子群 8 C となる端子膜が形成される。そして、回路板と接続される層からコンデンサ素子 4 が搭載される層までの多層構成部 3 A については、用意したセラミックグリーンシートがそのまま積層される。また、半導体素子 2 が搭載される側のコンデンサ素子 4 を配設するための窪み 5 を備える多層構成部 3 B については、窪みにあたる部分が予め切除されたセラミックグリーンシートが積層される。更に、多層構成部 3 A と多層構成部 3 B とが積層され、焼結されて配線基板 3 が形成される。

【0137】尚、配線基板 3 の窪み 5 の深さはコンデンサ素子 4 の搭載高さとおよそ同じになるように形成される。

【0138】実施形態 7 では、コンデンサ素子 4 の相対する 2 面（表裏面）にそれぞれ端子が配設され、一方の面（裏面）の端子が窪み 5 内の端子群 7 B に接続される。このとき、窪み 5 の深さとコンデンサ素子 4 の搭載高さがほぼ同じであるため、コンデンサ素子 4 の他方の面（表面）が配線基板 3 の半導体素子搭載面とほぼ同じ高さとなる。従って、半導体素子 2 が配線基板 3 に搭載される際、信号入出力用の端子群が配線基板 3 に接続されると共に、駆動用電源受け入れ用の端子群がコンデンサ素子 4 に接続される。

【0139】次に、実施形態 7 における半導体素子搭載基板 1 の組立て例について説明する。

【0140】配線基板 3 の窪み 5 を上向きに設置し、窪み 5 の底部のコンデンサ素子接続用端子 7 B に例えばデスベンサ方式ではんだを供給し、或いはコンデンサ素子 4 の端子にはんだを供給し、コンデンサ素子 4 をこの窪み 5 に搭載して加熱し、コンデンサ素子 4 を配線基板 3 に接続する。

【0141】次いで、配線基板 3 の半導体素子接続用端

子およびコンデンサ素子 4 の端子にはんだを供給し、半導体素子 2 を搭載、接続する。

【0142】更に、図示しない回路板の端子にはんだを供給し、半導体素子搭載基板 1 を搭載して加熱し、回路板に接続する。

【0143】このようにして作製した装置では、半導体素子の駆動用電源は、回路板から配線基板 3 及びコンデンサ素子を経由して半導体素子 2 に至る。また、半導体素子 2 から発生する高周波信号は、配線基板 3 を経て回路板に至る。

【0144】

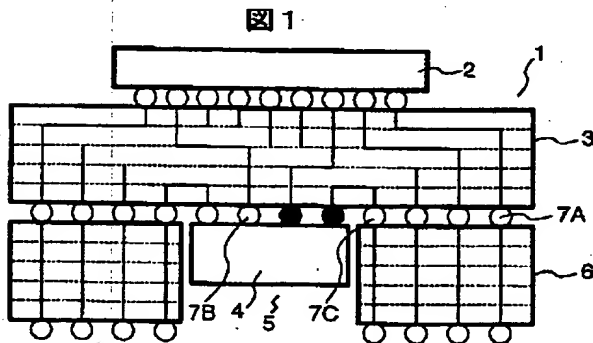
【発明の効果】本発明により、コンデンサ素子が大規模集積回路半導体素子の搭載基板内部に配設されるため、搭載基板が搭載される回路板の高集積化並びに小形化が可能となる。

【0145】また、コンデンサ素子を接続するための配線の距離を短くすることができるため、数百メガヘルツを超える高周波帯の回路板であって、10mm角以上の大型の大規模集積回路半導体素子を搭載するような回路板においても、その配線距離がインダクタ成分として大きく影響するようなことがなくなり、コンデンサ素子によるノイズ吸収効果が十分に得られるようになる。

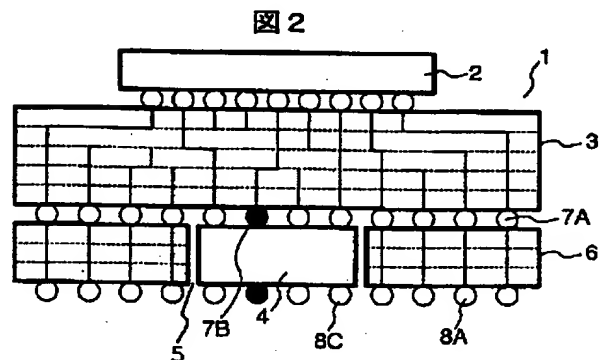
【0146】また、半導体素子から発生する高周波信号のための信号配線は、低誘電率材からなる配線基板内に形成され、その中で信号が伝送されるため、信号を高速で伝播させることができるようになる。

【0147】これにより、回路動作におけるノイズマージンを確保でき、また、半導体素子搭載基板が搭載される回路板が、高周波用回路板として満足できるものとなる。

【図 1】



【図 2】



【図面の簡単な説明】

【図 1】本発明の実施形態 1 の半導体素子搭載基板を示す断面の概要構成図である。

【図 2】本発明の実施形態 2 の半導体素子搭載基板の断面を示す概要構成図である。

【図 3】本発明の実施形態 3 の半導体素子搭載基板の断面を示す概要構成図である。

【図 4】本発明の実施形態 4 の半導体素子搭載基板の断面を示す概要構成図である。

10 【図 5】本発明の実施形態 5 の半導体素子搭載基板の断面を示す概要構成図である。

【図 6】本発明の実施形態 6 の半導体素子搭載基板の断面を示す概要構成図である。

【図 7】本発明の実施形態 7 の半導体素子搭載基板の断面を示す概要構成図である。

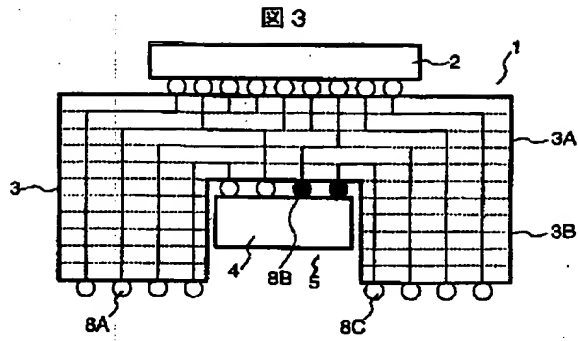
【図 8】従来の半導体素子搭載基板を搭載する回路板の断面を示す概要構成図である。

【図 9】従来の半導体素子搭載基板の断面を示す概要構成図である。

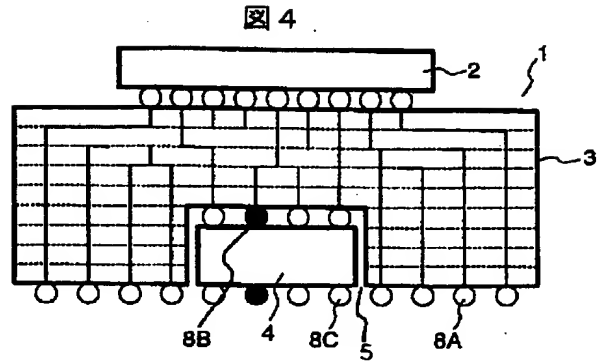
20 【符号の説明】

- 1 半導体素子搭載基板
- 2 半導体素子
- 3 配線基板
- 4 コンデンサ素子
- 5 コンデンサ素子配設用の空間或いは窪み
- 6 第 2 の配線基板
- 9 半導体素子搭載基板を搭載する回路板
- 10 半導体素子搭載基板
- 11 入出力ピン

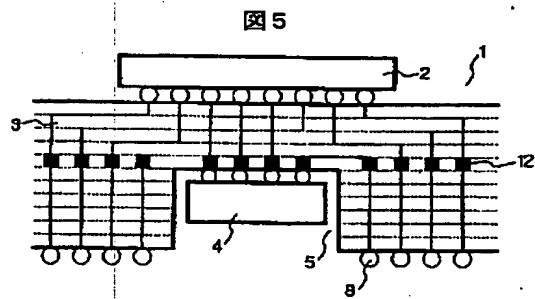
【図 3】



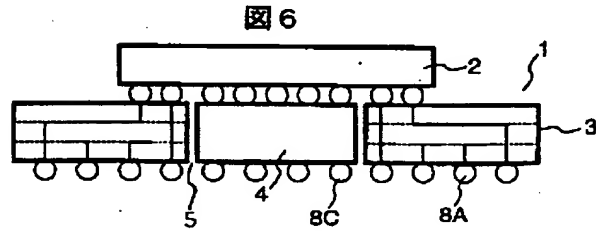
【図 4】



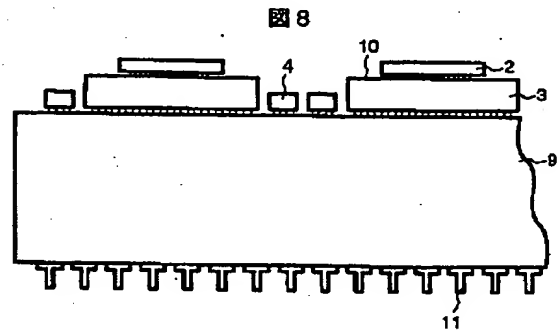
【図 5】



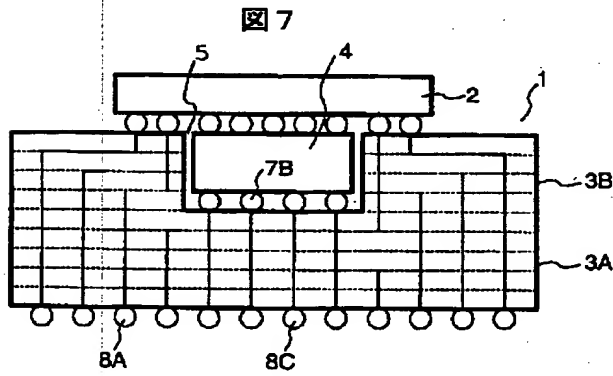
【図 6】



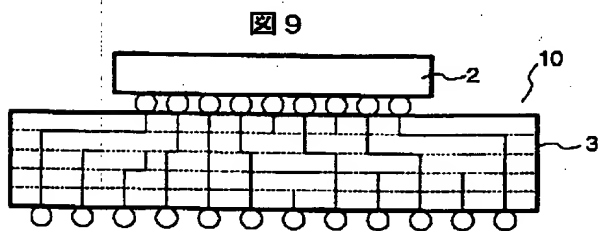
【図 8】



【図 7】



【図 9】



フロントページの続き

(72)発明者 千石 則夫
神奈川県秦野市堀山下 1 番地 株式会社日
立製作所汎用コンピュータ事業部内

(72)発明者 根津 利忠
神奈川県秦野市堀山下 1 番地 株式会社日
立製作所汎用コンピュータ事業部内

(72)発明者 見間 久智
神奈川県秦野市堀山下 1 番地 株式会社日
立製作所汎用コンピュータ事業部内